

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010087667 A
(43)Date of publication of application: 21.09.2001

(21)Application number: 1020000011542
(22)Date of filing: 08.03.2000

(71)Applicant: LG.PHILIPS LCD CO., LTD.
(72)Inventor: JUNG, YUN HO

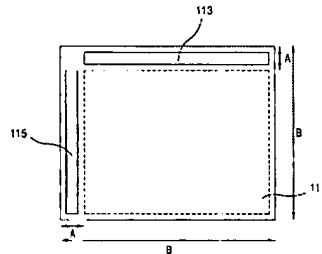
(51)Int. Cl. H01L 29/786

(54) METHOD FOR MANUFACTURING ACTIVE LAYER OF TFT TYPE ARRAY SUBSTRATE

(57) Abstract:

PURPOSE: A method for manufacturing an active layer of a TFT type array substrate is provided to form an active layer by using a polysilicon layer with a fine surface.

CONSTITUTION: A polysilicon layer is formed on a silicon layer(111) located on a drive portion(A) of a gate drive circuit region(115) and a data drive circuit region(113) by using an SLS(Sequential Alteral Solidification) method. The whole region of the silicon substrate(111) is crystallized by using a MPGG(Multiple Pulse Grain Growth) method. The crystallization is spread to a part crystallized by the SLS method when a pixel region of an LCD panel is crystallized by the MPGG method.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 7
H01L 29/786

(11) 공개번호 특2001-0087667
(43) 공개일자 2001년09월21일

(21) 출원번호 10-2000-0011542
(22) 출원일자 2000년03월08일

(71) 출원인 엘지.필립스 엘시디 주식회사
구분준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 정윤호
서울특별시구로구구로동주공아파트111-1202

(74) 대리인 정원기

심사청구 : 없음

(54) 박막트랜지스터형 어레이기판의 액티브층 제조방법

요약

본 발명은 폴리실리콘을 액티브층으로 사용하는 박막트랜지스터형 어레이기판에 관한 것으로, 상기 구동회로 영역과 화소영역으로 구성되는 어레이기판의 영역 중, 상기 구동회로 영역에 형성되는 박막트랜지스터의 액티브층은 SLS(sequential alteral solidification) 방식을 사용하여 형성하고, 다음으로 상기 SLS방법에 의해 일부가 폴리실리콘으로 형성된 기판의 전면을 MPGG(multiple pulse grain growth) 방식으로 결정화하여, 상기 SLS방식에 의해 형성된 폴리실리콘 표면의 디펙트를 제거하는 효과를 가져올 수 있으므로, 보다 고속의 스위칭 동작특성을 가지는 액정표시장치를 제작할 수 있다.

대표도
도 8

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 일반적인 폴리실리콘 형성기구를 도시한 개략적인 평면도이고,

도 2는 실리콘 결정화를 위한 구성을 도시한 사시도 이고,

도 3은 실리콘 결정화 공정을 도시한 평면도이고,

도 4는 폴리실리콘 액정표시장치의 개략적인 평면도이고,

도 5는 SLS방식만을 사용하여 결정화된 종래의 폴리실리콘층의 표면을 확대한 사진이고,

도 6은 본 발명에 따른 액티브층의 구성을 도시한 박막트랜지스터 어레이기판의 개략적인 평면도이고,

도 7은 SLS방식과 MPGG방식을 연속으로 사용하여 재 결정화된 본 발명에 따른 폴리실리콘층의 표면을 확대한 사진이고,

도 8은 종래의 폴리실리콘층과 본 발명의 결정화 방법에 따라 결정화된 폴리실리콘 층의 전압에 대한 전류특성을 도시한 그래프이다.

< 도면의 주요부분에 대한 간단한 설명 >

121 : SLS결정화 방법에 의한 폴리실리콘층의 문턱전압에 대한 전류의 관계를 도시한 실선.

123 : SLS 결정방법과 MPGG 결정방법을 연속으로 행하여 재결정화한 폴리실리콘층의 전압에 대한 전류의 관계를 도시한 점선.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터 어레이기판 제조방법에 관한 것으로, 특히 폴리실리콘으로 형성된 액티브층을 갖는 박막트랜지스터형 어레이기판의 제조방법에 관한 것이다.

일반적으로, 박막트랜지스터는 다층으로 구성되고 반도체층, 절연층, 보호층, 전극층으로 나뉘어 진다.

상기 박막트랜지스터의 각 요소에 대해 좀더 상세히 설명하면, 반도체층으로는 아몰퍼스 실리콘(Amorphous Silicon) 또는 폴리실리콘(Poly silicon)등이 사용되고, 절연층(Insulate layer)으로는 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_2), 산화알루미늄(Al_2O_3), 탄탈옥사이드(TaO_x)등이 사용되며, 보호층(Passivation layer)으로는 투명 유기절연물질 또는 절연물질이 사용되고, 전극층(Electrode layer)으로는 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo)등의 금속 도전성 물질이 일반적으로 사용된다.

이들 각 요소에 따른 물질들은 증착장치(Deposition Apparatus) 즉, 스퍼터링(sputtering)장치, 화학기상증착(Che mical vapor deposition) : CVD)장치 등을 사용하여 성막한 후에 리소그라피(Lithography)기술을 구사하여 소자의 각 요소로 형성된다.

이와 같이 구성된 각 구성층 중 반도체층은 전자가 흐르는 전도채널로서 역할을 하고 상기 전극층은 소스전극, 드레인 전극, 게이트전극으로 구성되며 이 때, 소스전극은 상기 반도체층에 신호전압을 인가하는 수단이 된다.

또한, 상기 소스전극은 상기 반도체층을 통해 신호전압을 상기 드레인전극으로 방출하는 수단이 된다.

그리고 상기 게이트전극은 상기 소스전극에서 드레인전극으로 전류의 흐름을 스위칭 하는 수단이 된다.

따라서, 박막트랜지스터는 스위칭 소자로 사용하게 되며, 액티브 매트릭스 액정표시장치(Active matrix liquid cryst al display device : AMLCD)를 위한 스위칭요소로 응용된다.

이러한 액티브매트릭스 액정표시소자는 카드뮴 셀레나이드(CdSe), 수소화된 아몰퍼스 실리콘(a-Si:H), 폴리 크리스탈라인 실리콘(Poly crystalline silicon : poly-Si)이 반도체층으로 사용된 박막트랜지스터를 사용함으로써 성공적인 구성이 가능해졌다.

이와 같이, 박막트랜지스터 반도체층으로 사용되는 물질 중 아몰퍼스 실리콘은 공정이 간단하고 저온에서 처리될 수 있음으로, 이미 솔라셀(Solar cell)과 같은 대면적 소자제작에 사용되고 있다.

또한, 아몰퍼스 실리콘을 이용한 소자의 제작공정은 최대 온도가 350℃ 정도의 저온처리 시스템에서 단독으로 행해질 수 있기 때문에 제작이 편리하다.

그러나, 실제로 아몰퍼스 실리콘내에서 낮은 전자 이동도($< 2\text{cm}^2/\text{Vsec}$)는 박막트랜지스터의 스위칭특성에 방해의 요인으로 작용하고 또한, 고속으로 박막트랜지스터를 제어하는 구동회로소자(Drive circuitry)와 박막트랜지스터의 통합을 어렵게 한다.

반면, 폴리실리콘을 반도체층으로 사용한 박막트랜지스터는 액티브매트릭스 액정표시소자에 적당하다.

폴리실리콘으로 제조되는 박막트랜지스터는 새로운 처리단계가 필요하지만, 대신에 액티브매트릭스 액정표시소자내의 스위칭소자로서 아몰퍼스 실리콘보다 몇배 빠른 응답속도를 가지고 있다.

또한, 폭넓게 사용되는 아몰퍼스- 박막트랜지스터에 비교하여 폴리실리콘의 가장 큰 장점은 $20\sim 550\text{cm}^2/\text{Vsec}$ 정도의 높은 전계효과 이동도를 가지고 있다는 것이다.

전계효과 이동도는 박막트랜지스터의 스위칭속도를 결정하며, 아몰퍼스 실리콘보다 수 100배 빠르다.

이러한 차이는 폴리실리콘이 여러 결정립(Grain)으로 구성되어있고, 아몰퍼스실리콘 보다는 적은 디펙트(defect)를 가지고 있는 것에 기인한다.

따라서, 폴리실리콘은 대면적 스크린을 갖는 차세대 액정표시소자를 위한 스위칭 뿐만 아니라, 구동회로 일체화가 가능한 소자로 기대된다.

이러한 폴리실리콘을 결정화 하는 방법은 SPC법, MIC법, 엑시머레이저어닐링법 등이 있다.

상기 SPC(Solid phase crystallization)방법은 고상결정방법으로서, 고온(600도)에서 아몰퍼스실리콘을 결정화하는 방법이다. 이 방법은 고상에서 결정화가 이루어지기 때문에 결정립 내에 결함(micro-twin, dislocation...)이 많아서 결정도가 떨어지며, 이를 보완하기 위하여 고온(~ 1000 도)의 열산화막을 게이트 절연막으로 사용한다. 따라서, 1000℃ 이상에서 결될수 있는 수정과 같은 고 가격대의 소재를 사용해야만 하는 단점이 있다.

상기 MIC(Metal induced crystallization)방법은 금속유도결정화 방법으로, 아몰퍼스실리콘 위에 금속을 증착하여 열을 가해줌으로서 결정화하는 방법이다. 이 때, 금속은 결정화 되는 아몰퍼스실리콘의 엔탈피를 낮추어 주는 역할을 한다.

따라서, 500℃ 정도의 저온공정처리가 가능하나, 표면의 상태가 좋지않고 금속에 의한 전기적인 특성 저하를 보인다. 또한, 이 방법도 고상 결정화이므로 결정립내의 결함이 다수 존재한다.

다른 방법으로는 레이저(laser)를 사용하는 방법이 있으며, 이 방법은 저온 공정처리가 가능하여 저가의 유리기판을 사용할 수 있기 때문에 가격 경쟁력면에서 우수하다.

특히 엑시머레이저 어닐링 방법(Excimer laser annealing method)으로 제조된 박막트랜지스터는 $100\text{cm}^2/\text{Vsec}$ 이상의 이동속도를 가질 수 있게 됨으로 소자의 동작특성이 좋다.

전술한 방법들로 결정화되는 폴리실리콘은 결정화 초기에 실리콘 씨드(Silicon seed)로부터 액상의 실리콘이 냉각되면서 양질의 그레인(grain)을 얻을 있으며, 실리콘 결정성장은 측면성장(lateral growth)을 한 경우에 큰 결정립을 얻을 수 있다.

일반적으로, 실리콘씨드가 간격이 실리콘 그레인의 최대 성장거리보다 크다면, 실리콘씨드를 중심으로 측면성장하게 되는 실리콘결정은 최대로 성장한 후 액상으로 남은 영역에서는 초냉각(Super-cooling)에 의해 핵 생성이 일어나서 작은 결정립이 생긴다. 그러나, 씨드간격이 최대 성장거리 보다 적다면, 씨드를 중심으로 측면성장이 일어나서 각 결정립이 그레인바운더리를 형성하면서 큰 결정립의 폴리실리콘(poly-Si)박막을 형성한다.

전술한 바와 같이, 기판 위에서 큰 실리콘의 결정이 바운더리를 형성하면서 균일하게 배치되어야 우수한 성능의 박막트랜지스터(thin film transistor : TFT) 소자를 얻을 수 있다.

따라서 실리콘씨드의 분포는 최대 결정성장 거리 보다는 적지만, 최대한 큰 간격으로 균일하게 배치되어야 한다.

도 1a 내지 도 1c에 도시한 바와 같이, 실리콘씨드(11)를 중심으로 측면성장 하게되는 실리콘의 그레인(13)들은 액상의 실리콘으로 측면성장을 하게되고, 각 그레인(13)들은 그레인바운더리 (grain boundary)(15)를 형성하면서 결정성장이 종료된다.

여기서, 상기 엑시머레이저를 이용한 종래의 폴리실리콘의 결정화 단계를 설명한다.

도 2는 엑시머레이저를 이용한 폴리실리콘 결정화를 위한 광학계의 구성을 도시한 사시도이다.

도시한 바와 같이, 레이저 빔을 이용하여 기판 상에 증착된 아몰퍼스실리콘을 결정화 하기 위해서는 간략하게 레이저빔장치(미도시)와, 마스크(33)와, 투영렌즈(35)를 필요로 한다.

기판(31) 상에 상기 투영렌즈(35)를 위치시키고, 상기 투영렌즈(35) 상에 마스크를 위치시킨다. 이 때, 상기 마스크(33) 상에서 레이저빔(37)을 투사하게 되면 상기 레이저빔은 상기 마스크패턴에 따라 입사하게 되고, 상기 입사된 빛은 상기 투영렌즈(35)를 통해 패턴이 4~6배로 축소되면서 기판 상에 상기 미세 마스크패턴대로 실리콘 결정화를 행하게 된다.

이 때, 결정화되는 폴리실리콘의 그레인의 성장은 레이저빔의 모양과 에너지밀도와 기판의 온도와 냉각속도에 의해 제어될 수 있다.

그레인 크기와 에너지 밀도의 관계를 더욱 상세히 설명하면, 실리콘 박막의 결정에 대한 에너지밀도는 세가지 영역으로 나누어 설명할 수 있다.

첫 번째, 저 에너지밀도 영역으로 하부 실리콘박막이 녹지 않는 영역(Low energy density regime-Partial melting regime), 하부 실리콘의 일부 씨드만 남고 나머지 실리콘은 완전히 녹는 완전 멜팅에 가까운 영역(Near complete melting regime), 고 에너지밀도 영역으로 실리콘 박막이 하부계면까지 완전히 녹는 영역(High energy density regime - complete melting regime)으로 나눌 수 있으며, 상기 저 에너지 밀도 영역에서 실리콘 멜팅깊이가 실리콘 두께보다 작은 상태이며, 녹지 않은 하부 실리콘층의 씨드로부터 수직성장이 일어나서 그레인의 직경이 반도체층의 막두께보다도 적은 영역이다.

그리고, 상기 완전 멜팅에 가까운 영역(Near complete melting regime)은 반도체층의 일부 하부 실리콘씨드만 남고 모든 실리콘막이 녹는 상태이며, 이 씨드를 중심으로 측면성장을 할 수 있는 영역이다.

이때, 상기 완전 멜팅 영역대의 에너지를 사용하는 폴리실리콘 결정화 방법을 SLS(Sequential lateral solidification) 결정화 방법이라 하고, 상기 완전멜팅영역에 가까운 에너지대를 사용하는 폴리실리콘 결정화방법은 MPGG(multiple pulse grain growth)결정화 방법이라 한다.

이하, 상기 SLS 결정화방법을 상기 도 2를 참조하여 설명한다.

도시한 바와 같이, 기판(31) 상에 레이저빔 패턴을 형성하기 위한 마스크(33)와 상기 마스크(33)의 패턴을 축소하여 상기 기판(31)상에 노광하기 위한 투영렌즈(35)를 구성하여 레이저 어닐링을 시작하면 된다.

이와 같은 구성을 이용한 폴리실리콘 결정화 과정을 설명하면, 먼저 상기 레이저빔(37)을 소정의 수단에 의해 균일화시킨다.

다음으로, 상기 마스크(33)를 통해서 상기 기판(31)위에 형성될 빔의 형태를 결정한다. 다음으로 축소배율의 투영렌즈(35)를 통해서 수 μm 의 빔 너비를 가진 빔을 형성한다.

다음으로, X-Y스테이지 위에 놓인 기판(31)이 서브 μm /펄스로 이동하면서, 레이저빔에 의해 결정화가 이루어진다.

도 3은 상기 레이저빔을 이용하여 아몰퍼스 실리콘을 결정화하는 메커니즘을 도시한 평면도이다.

도시한 바와 같이, 분할된 각 슬릿(A,B,C)을 통해서 상기 레이저빔의 펄스에 노출하는 과정을 통해 아몰퍼스실리콘을 폴리실리콘으로 결정화 할 수 있으며, 이 때 일차노광(45)에서는 레이저빔의 양끝의 고상 실리콘 씨드로부터 레이저빔 내의 액상실리콘으로 측면성장이 일어나 가운데서 바운더리(41)가 형성된다. 이 때 에너지 밀도는 실리콘 박막이 전술한 완전멜팅이 되는 영역을 사용하며, 빔폭도 (최대 측면 성장거리) $\times 2$ 배 보다 적게 만든다.

2차 노광(47)에서는 상기 1 차 노광에서 형성된 결정이 연속해서 성장된다.

그리하여 N차 노광 후, 측면성장하여 결정화된 폴리실리콘은 슬릿(A,B,C)간의 거리 만큼 그레인(43)이 연속 성장하여 형성된다. 또한 상기 각 슬릿영역(A,B,C)이 만나는 부분은 폴리실리콘의 그레인바운더리(41a) 영역이다.

전술한 바와 같이, SLS 결정화방법은 일 방향으로의 연속적인 레이저빔의 조사에 의해 그레인이 사이즈가 큰 폴리실리콘을 형성할 수 있다.

따라서, 상기 SLS방식에 의해 제조된 액티브층은 전하의 이동도가 뛰어난 특성을 갖는다.

상기 MPGG방식은 레이저를 이용한 폴리실리콘 형성방법으로, 씨드만을 남기고 실리콘을 녹여 재 결정화 하는 방식이다.

상기 SLS방식과 달리 MPGG방식으로 사용하는 레이저빔은 크기는 수 mm 의 크기를 가지며, 이를 이용하여 실리콘을 녹여 재결정화 하는 동안 다수의 씨드를 중심으로 그레인이 성장한다.

상기 MPGG 방식은 상기 SLS 방식에 비해 그레인의 크기에 어느정도 제한이 있으나, 공정시간이 빠른 장점이 있다.

따라서, 종래에는 구동회로 영역에 형성되는 박막트랜지스터의 액티브층을 구성할 경우에는 상기 SLS방식에 의해 폴리실리콘을 형성하고, 상기 어레이기판의 화소부에 위치하는 박막트랜지스터의 액티브층은 상기 MPGG방식을 사용하여 폴리실리콘을 형성하였다.

이하, 도 4를 참조하여 종래의 박막트랜지스터형 어레이기판의 액티브층 구성방법을 알아본다.

도시한 바와 같이, 폴리실리콘 타입 액정표시장치(61)는 게이트구동회로부(63)와 데이터구동회로부(65)의 스위칭 소자는 어레이기판의 화소영역에 형성되는 박막트랜지스터와 동시에 형성되며, 상기 게이트구동 회로부(63)와 데이터 구동회로부(65)는 하나의 프린트 회로보드(69)(PCB)에 연결되어 입력신호를 받는다.

이와 같은 구성에서, 상기 게이트 구동회로와 데이터 구동회로는 다른 스위칭 특성이 요구된다.

일반적으로, 스위칭 소자의 동작특성을 좌우하는 것은, 스위칭 소자를 구성하는 반도체층의 모빌리티(mobility)와 관련한다.

즉, 반도체층의 모빌리티가 따르면 스위칭소자의 동작특성이 좋으나, 반면에 반도체층의 모빌리티가 느리면 스위칭소자의 동작특성이 좋지 않게 된다.

따라서, 종래에는 상기 액정패널의 화소영역(B)은 짧은 시간 안에 폴리실리콘을 형성할 수 있는 MPGG방식을 사용하여 액티브층을 구성하였고, 상기 각 구동회로 영역(A)의 액티브층은 전술한 SLS 방식을 사용하여 그레이의 크기를 일 방향으로 키우는 방식으로 약 100~120cm/Vsec의 스위칭 속도를 얻을 수 있었다.

그러나, 상기 SLS방식으로 결정화되는 폴리실리콘은 그레이의 너비를 크게하여 형성할 수 있는 장점이 있는 반면, 결정화하는 과정동안 표면에 다수의 디펙트가 존재하게 된다.

도 5는 SLS 결정화 방법에 의해 결정화된 폴리실리콘의 표면을 나타내는 사진이다.

도시한 바와 같이, SLS 결정화 방법으로 결정화된 폴리실리콘의 그레이나운더리 내에 결함(low angle defect)(51)이 다수 존재한다.

상기 결함이 형성되는 원인은 상기 실리콘을 녹인 후, 레이저빔을 차단하게 되면 상기 실리콘에 존재하는 열은 하부기판을 통해 빠져나가게 된다.

이와 같이, 냉각과정에 의해 실리콘이 결정화되기 시작하며, 특히 표면에 근접한 결정들은 갑작스런 냉각에 의해 이상 성장을 하게된다.

이와 같은 표면상태를 가지는 폴리실리콘은 추후에 절연층이 적층되는 과정을 거치게 된다.

이 때, 다수의 디펙트가 존재하는 폴리실리콘층 위에 절연층을 증착함으로써, 상기 폴리실리콘 반도체층과 상기 절연층 사이의 계면에서 발생하는 부정합에 의해 전자에 대한 트랩준위가 발생한다. 이와 같은 이유로, 폴리실리콘층의 표면을 흐르는 전자의 모빌리티(Mobility)가 현저히 저하되며, 소자의 동작특성에 많은 제한이 된다.

상기 SLS 방식으로 결정화되는 폴리실리콘으로 형성된 액티브층을 포함하는 박막트랜지스터의 스위칭 속도는 일반적인 폴리실리콘 박막트랜지스터에 약 2배 가량 빠른 속도이지만, 좀더 속도를 개선한 필요가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 미세 표면이 평탄한 폴리실리콘막으로 형성된 반도체층을 갖는 폴리실리콘 타입 액정표시장치의 제조방법을 제안하는데 그 목적이 있다.

발명의 구성 및 작용

전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판의 반도체층 형성방법은 제 1 영역과 제 2 영역을 가진 기판을 준비하는 단계와; 상기 기판의 전면에 아몰퍼스 실리콘을 증착하여 아몰퍼스 실리콘막을 형성하는 단계와; 상기 기판의 제 1 영역상의 아몰퍼스 실리콘막에 완전 멜팅영역(complete melting regime)대의 에너지밀도를 가지는 레이저빔을 조사하여 폴리실리콘을 형성하는 단계와; 상기 기판의 제 1 영역 및 제 2 영역 상에 각각 위치한 상기 폴리실리콘과 상기 아몰퍼스 실리콘막에 거의 완전멜팅 영역대의 에너지밀도를 가지는 에너지빔을 조사하여 상기 제 1 영역에 형성된 폴리실리콘막을 재 결정화하고, 상기 제 2 영역에 위치한 상기 아몰퍼스 실리콘을 상기 씨드층 중심으로 성장한 다수의 그레이인을 가진 폴리실리콘으로 형성하는 단계를 포함한다.

본 발명의 특징에 따른 스위칭 소자는 씨드를 가진 아몰퍼스실리콘에 상기 씨드를 녹일 수 있는 완전멜팅영역대의 에너지밀도를 가진 레이저빔을 조사하여 제 1 폴리실리콘을 형성한 후, 상기 제 1 폴리실리콘의 표면에 보다 약한 에너지밀도를 가진 레이저빔을 조사하여, 상기 제 1 폴리실리콘을 재결정화 한 제 2 폴리실리콘으로 형성된 액티브층과; 상기 액티브층의 채널을 형성하는 소스 및 드레인전극과; 상기 액티브층을 스위칭하는 게이트전극을 포함한다.

본 발명은 상기 구동회로 영역의 액티브층을 먼저 SLS 방식을 이용하여 폴리실리콘으로 결정화하고, 상기 SLS영역을 포함하는 전영역을 다시 MPGG 방식을 사용하여 결정화하여 상기 SLS 방식으로 형성된 폴리실리콘의 표면결함을 제거함으로써, 스위칭속도를 더욱 개선하였다.

도 6은 본 발명에 따른 액티브층의 구성을 도시한 박막트랜지스터 어레이기판의 개략적인 평면도이다.

먼저 게이트 구동회로영역(115)과 데이터 구동회로영역(113)의 구동부(A)에 위치한 실리콘막에 완전멜팅 영역대의 에너지밀도를 갖는 레이저빔을 조사하는 SLS 결정화방법을 사용하여 폴리실리콘층을 형성한다.

다음으로, 상기 SLS방식으로 결정화된 폴리실리콘을 포함하는 실리콘층이 형성된 기판(111)의 전영역(B)을 MPGG방식을 사용하여, 재결정화 하게 된다.

즉, 상기 액티브층의 화소영역을 MPGG 방식으로 결정화 하면서, 상기 SLS 방식으로 결정화된 부분까지 확대하여 결정화 한다.

이때, 상기 MPGG 방식은 완전 멜팅에 가까운 영역대의 에너지 밀도를 갖는 레이저빔을 사용하기 때문에, 상기 SLS 결정화 방법에 의해 결정화된 폴리실리콘의 표면을 소정 깊이만큼 녹인후 재 결정하게 된다.

이때, 재 결정화된 폴리실리콘의 표면은 종래와 달리 그레인내에 존재하던 다수의 디펙트가 제거된 상태이다.

도 7은 도 6의 방법에의해 재 결정화된 각 구동회로 영역의 폴리실리콘 층의 표면을 확대한 사진이다.

도시한 바와 같이, 종래와는 달리 그레인(125)내에 디펙트가 발견되지 않고 있음을 알 수 있다.

따라서, 기존에 비해 전하의 모빌리티가 월등히 빠른 반도체층을 얻을 수 있는 것은 자명한 일이다.

이하 도 8을 참조하여, 일반적인 SLS방식으로만 결정화된 폴리실리콘층의 모빌리티와, 본 발명에 따라 SLS 방식과 MPGG방식을 순차적으로 사용하여, 재 결정화된 폴리실리콘의 모빌리티를 비교한다.

도 8은 결정화 방법에 따른 P타입 폴리실리콘층의 전압에 대한 모빌리티를 비교한 그래프이다.

도시한 그래프에서 실선(121)은 기존의 SLS 결정방법에 의해 결정화된 폴리실리콘층의 결과값을 도시한 것이고, 점선은 본 발명에 따라 SLS 방식과 MPGG방식을 연속하여 재결정화된 폴리실리콘층의 결과 값을 도시한 것이다.

모빌리티는 전압에 대한 전류값을 미분하여 얻을 수 있으며, 종래의 SLS 결정방법만으로 결정화된 폴리실리콘 층을 구동하는 문턱전압은 약 $-3.3V$ 이며, 이때의 모빌리티는 약 $107cm^2/sec$ 의 결과를 얻었고, 본 발명에 따라 연속적으로 재 결정화된 폴리실리콘층을 구동하는 문턱전압은 $-1.7V$ 이고 이때 모빌리티는 $145cm^2/sec$ 의 결과를 얻었다.

따라서, 본 발명에 따라 재결정화된 폴리실리콘층을 포함하는 스위칭소자는 종래에 비해 저전압 구동이 가능하고, 빠른 스위칭특성을 가질 수 있다는 결론을 얻었다.

발명의 효과

따라서, 본 발명에 따른 폴리실리콘 타입 박막트랜지스터형 액정표시장치는 게이트구동 회로부와 데이터 구동회로부의 반도체층을 SLS 결정화 방법과 MPGC 결정화 방법을 연속으로 사용하여 결정화된 폴리실리콘으로 형성하여, 그레인 내에 디펙트가 존재하지 않는 폴리실리콘 반도체층을 형성함으로써, 높은 모빌리티를 갖는 구동회로를 구성 할 수 있는 효과가 있다.

또한, 상기 구동회로의 빠른 동작특성으로 인해 화소 스위치의 전류 구동능력을 증대하는 효과가 있다.

또한, 고개구율 및 대면적 액정표시장치의 고 해상도에 유리하다.

(57) 청구의 범위

청구항 1.

제 1 영역과 제 2 영역을 가진 기판을 준비하는 단계와;

상기 기판의 전면에 아몰퍼스 실리콘을 증착하여 아몰퍼스 실리콘막을 형성하는 단계와;

상기 기판의 제 1 영역상의 아몰퍼스 실리콘막에 완전 멜팅영역(complete melting regime)대의 에너지밀도를 가지는 레이저빔을 조사하여 폴리실리콘을 형성하는 단계와;

상기 기판의 제 1 영역 및 제 2 영역 상에 각각 위치한 상기 폴리실리콘과 상기 아몰퍼스 실리콘막에 거의 완전멜팅 영역대의 에너지밀도를 가지는 에너지빔을 조사하여 상기 제 1 영역에 형성된 폴리실리콘막을 재 결정화하고, 상기 제 2 영역에 위치한 상기 아몰퍼스 실리콘을 상기 씨드를 중심으로 성장한 다수의 그레인을 가진 폴리실리콘으로 형성하는 단계

를 포함하는 액정표시장치용 어레이기판의 반도체층 형성방법.

청구항 2.

씨드를 가진 아몰퍼스실리콘에 상기 씨드를 녹일 수 있는 완전멜팅영역대의 에너지밀도를 가진 레이저빔을 조사하여 제 1 폴리실리콘을 형성한 후, 상기 제 1 폴리실리콘의 표면에 보다 약한 에너지밀도를 가지는 레이저빔을 조사하여, 상기 제 1 폴리실리콘을 재결정화 한 제 2 폴리실리콘으로 형성된 액티브층과;

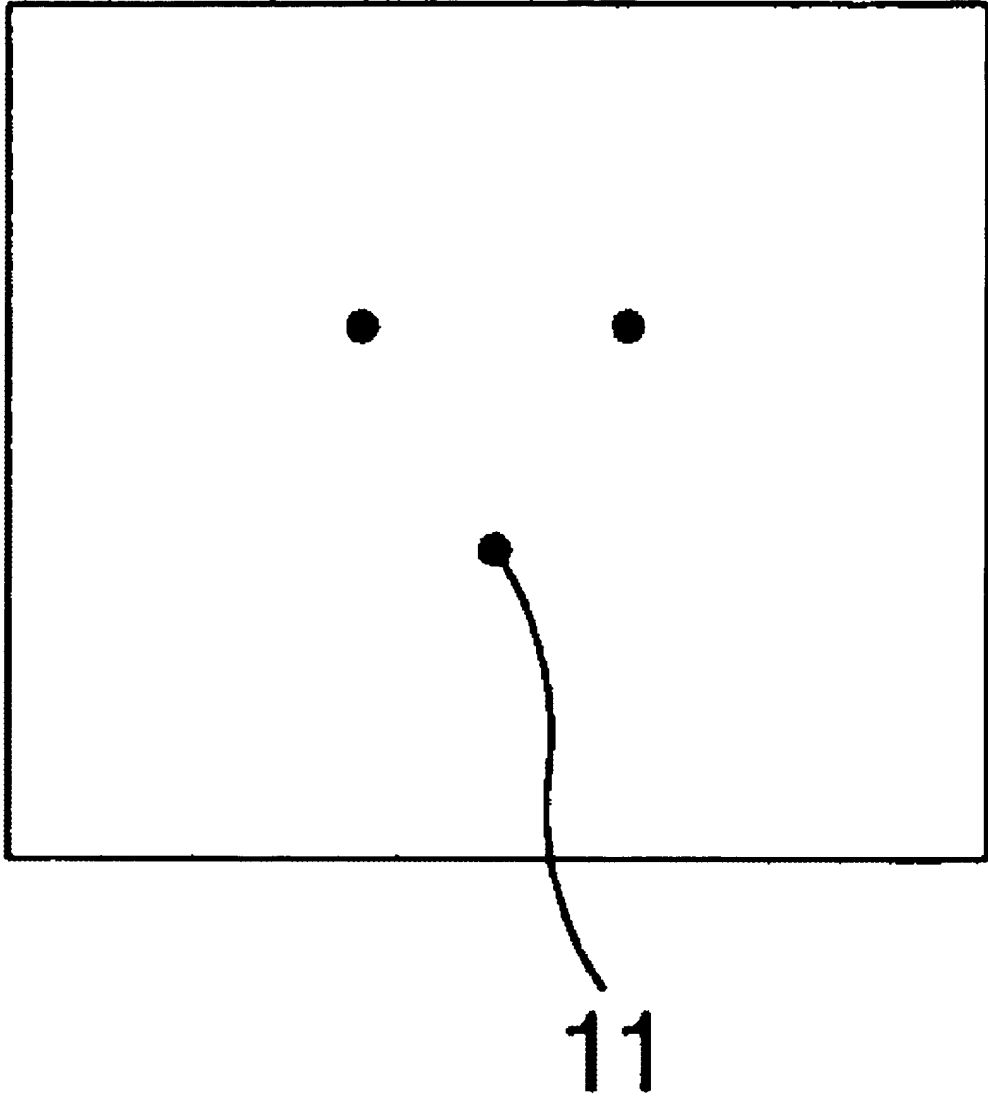
상기 액티브층의 채널을 형성하는 소스 및 드레인전극과;

상기 액티브층을 스위칭하는 게이트전극

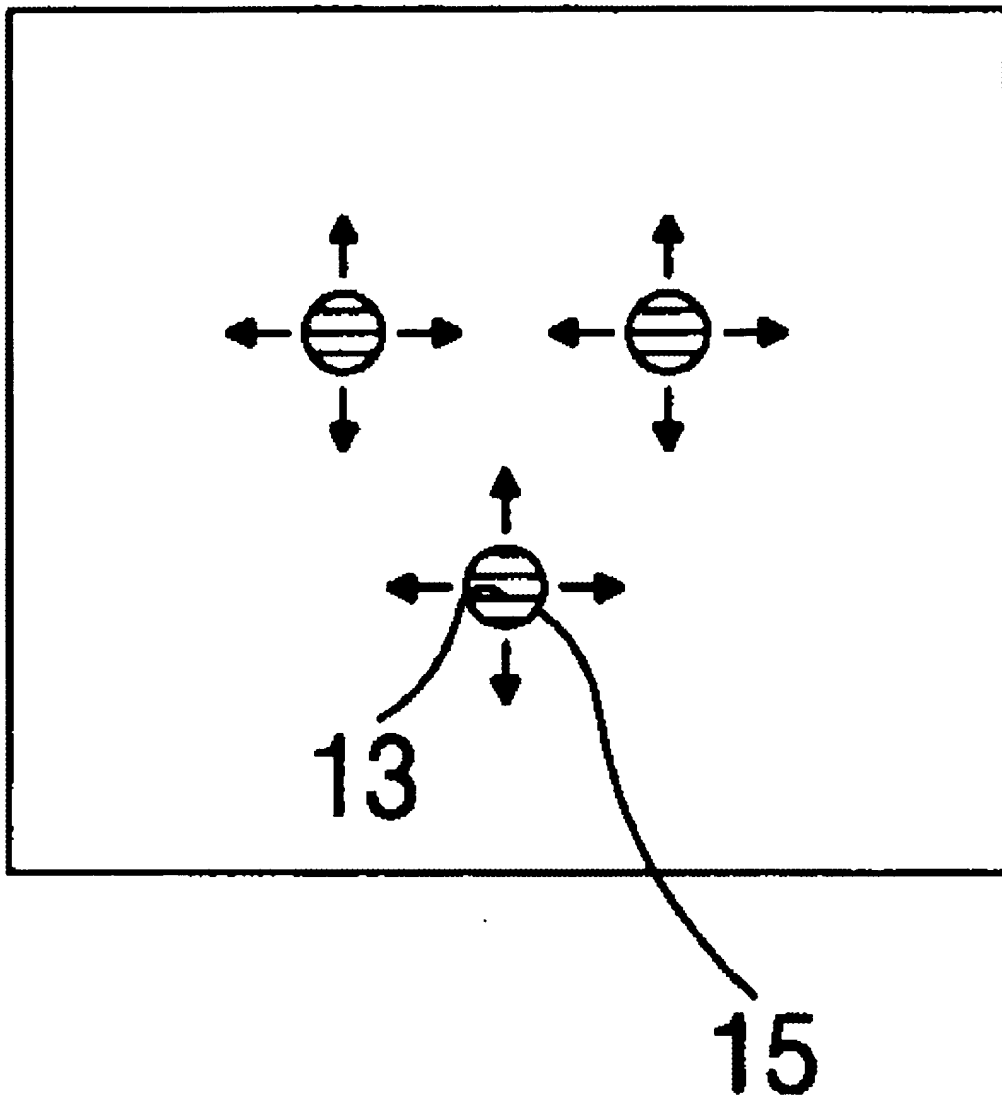
을 포함하는 스위칭 소자.

도면

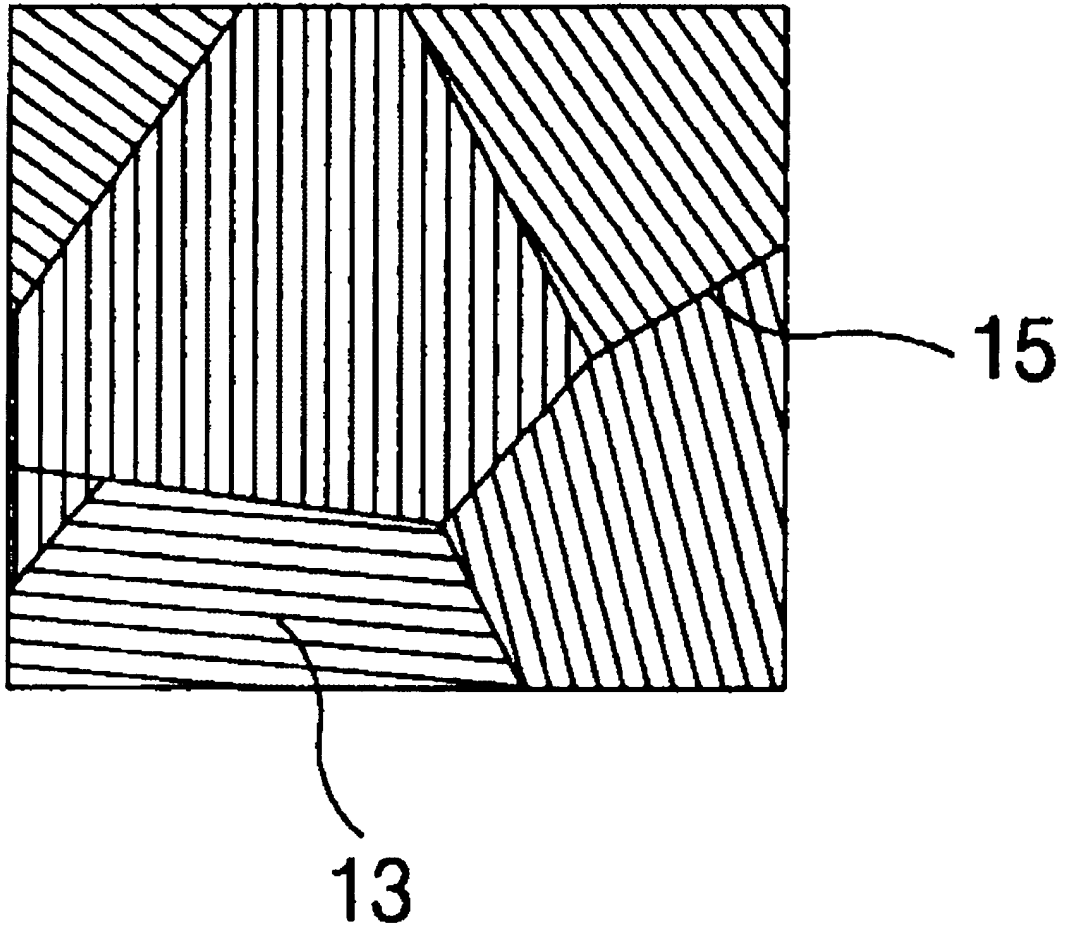
도면 1a



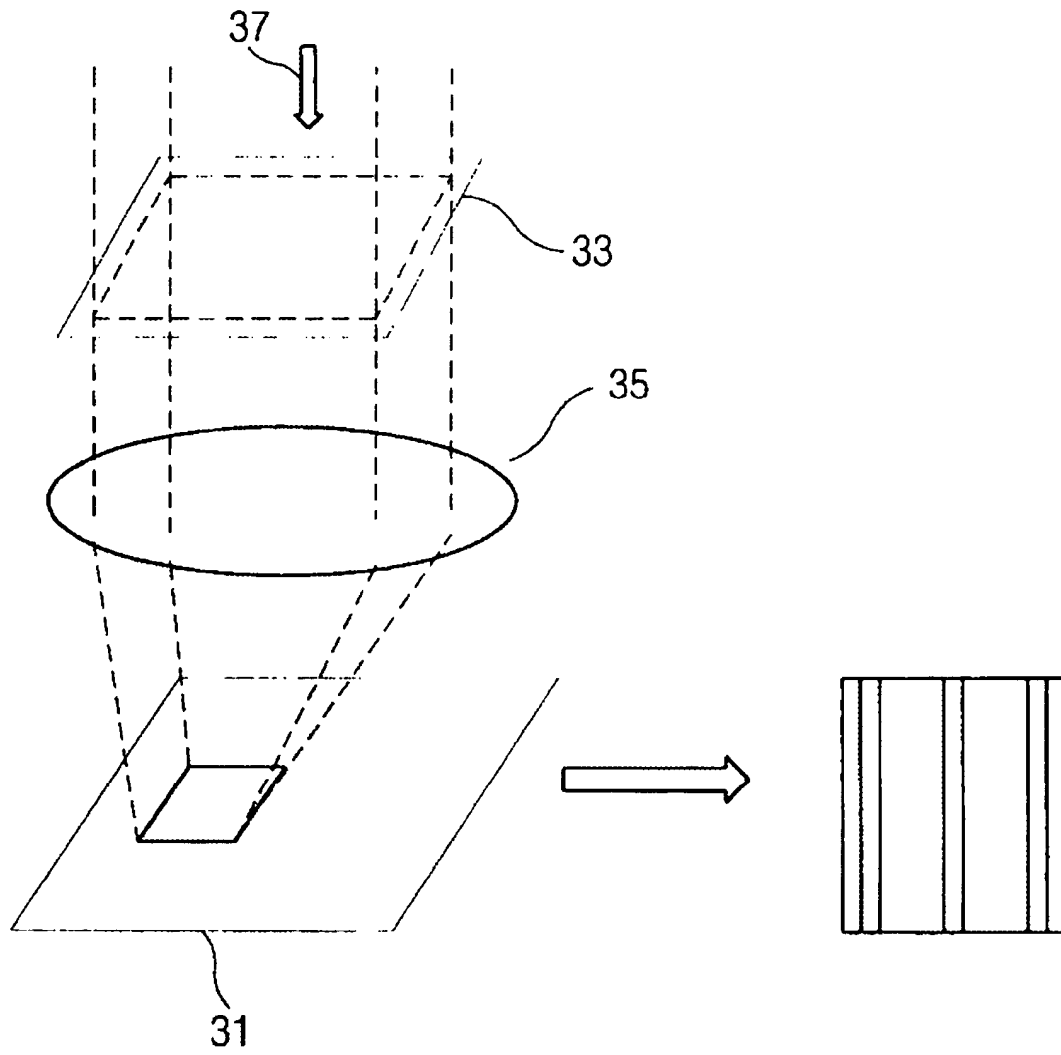
도면 1b



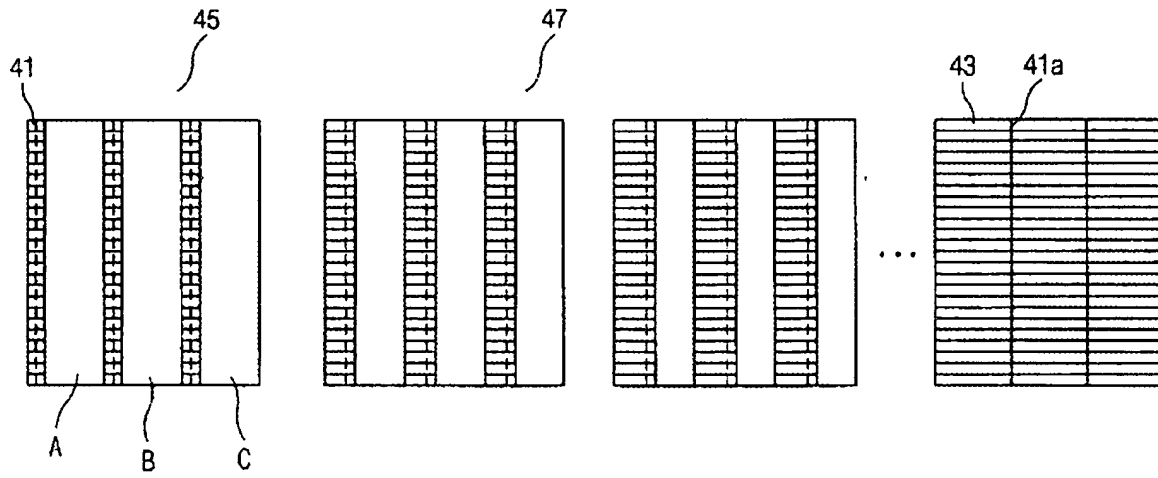
도면 1c



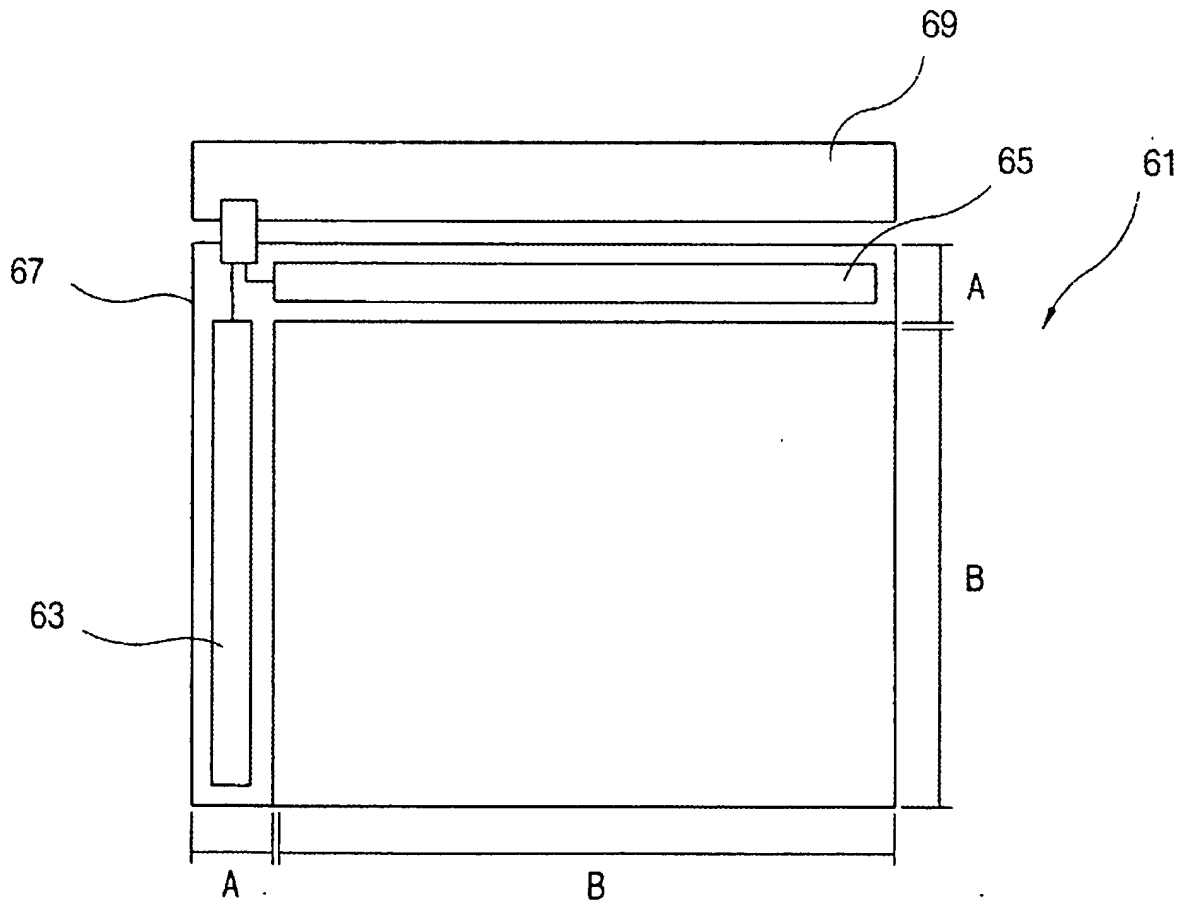
도면 2



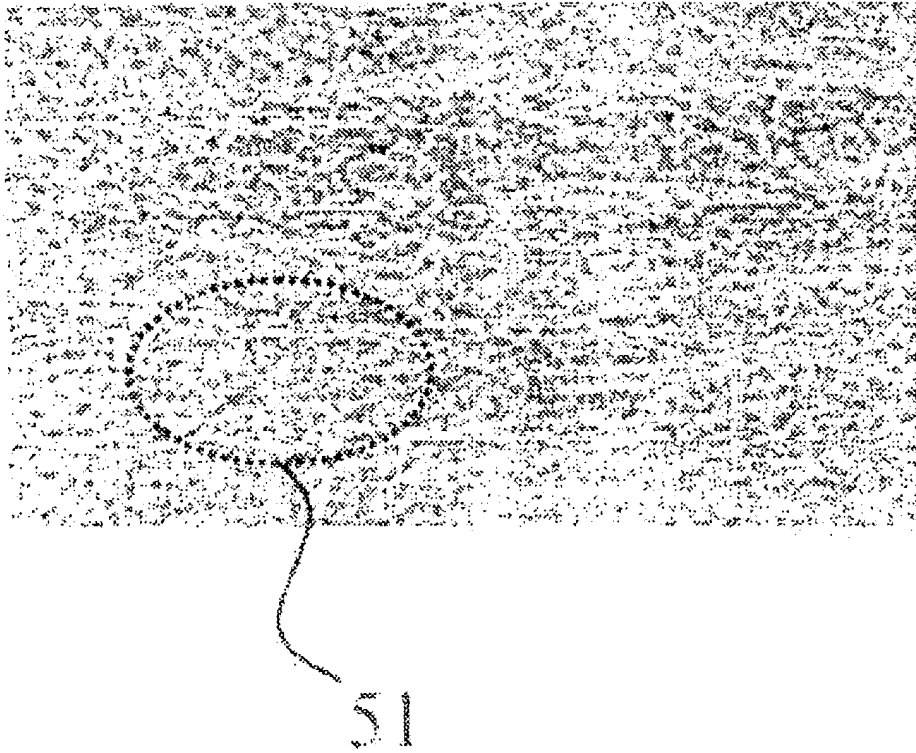
도면 3



도면 4

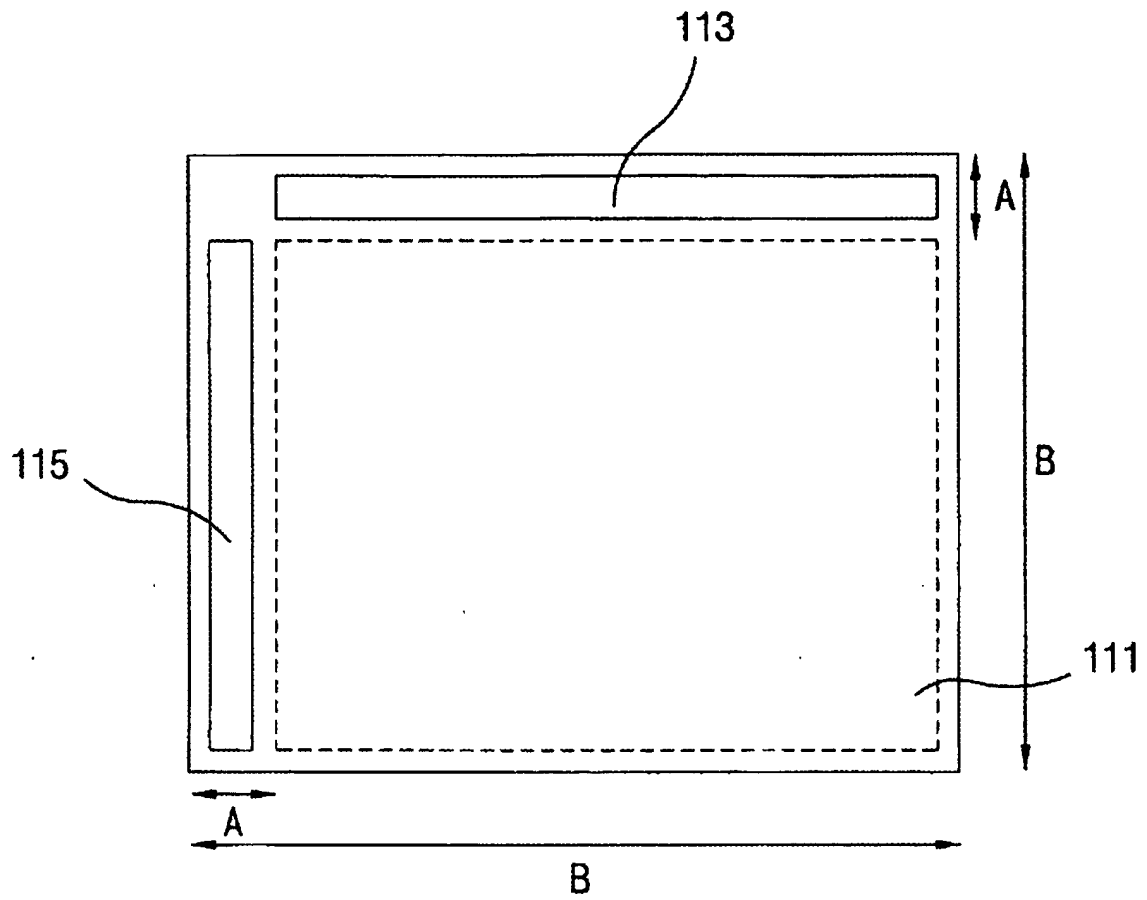


도면 5

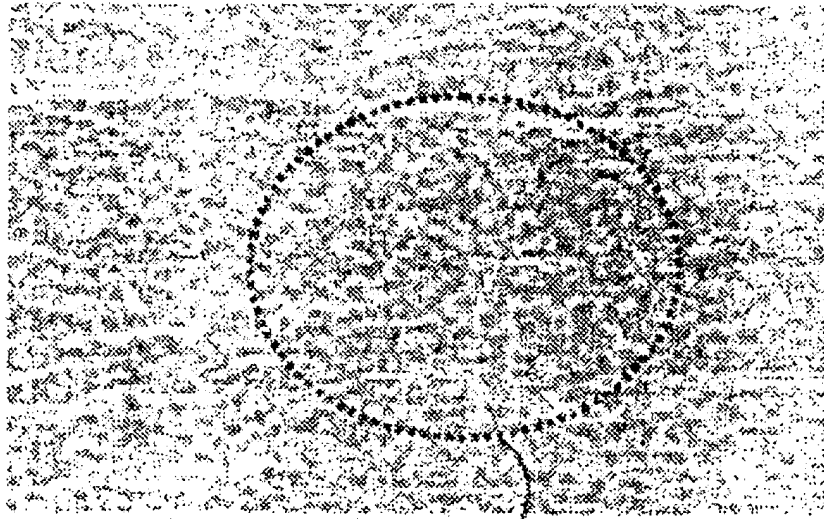


LEE M. & CO.

도면 6



도면 7



125

125

도면 8

